

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-030438

(43)Date of publication of application : 28.01.2000

(51)Int.Cl.

G11C 11/403

G11C 11/407

(21)Application number : 10-195530

(71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 10.07.1998

(72)Inventor : HORIBATAKE SHUICHI

SAWADA SEIJI

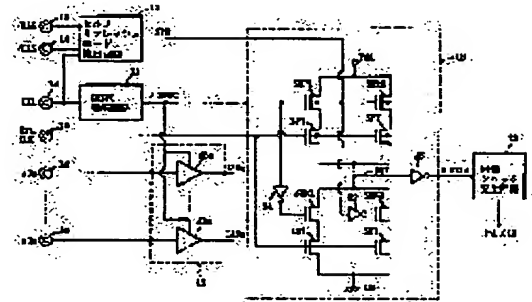
FUKUDA TATSUYA

(54) SYNCHRONOUS TYPE SEMICONDUCTOR STORAGE

(57)Abstract:

PROBLEM TO BE SOLVED: To reduce current consumption in a clock buffer by operating a clock buffer with first drive power when a self refresh enable signal is inactivated, and a clock enable signal is activated and operating it with second drive power smaller than the first drive power when the clock enable signal is inactivated.

SOLUTION: When the clock enable signal CKE is an L level, a synchronous DRAM becomes a power down mode. At this time, a signal /CKEP becomes an H level, and the self refresh enable signal SRE becomes the L level, and an inverter constituted of P, N channel MOS transistors LPT, LNT with large size and more power consumption are stopped, and the inverter constituted of the P, N channel MOS transistors SPT, SNT with small size and less power consumption is operated. Thus, the current consumption in the clock buffer CB is reduced by the current consumption much by the transistors SPT, SNT.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's

decision of rejection]

[Date of requesting appeal against  
examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-30438

(P2000-30438A)

(43) 公開日 平成12年1月28日 (2000.1.28)

(51) Int.Cl.<sup>7</sup>

識別記号

F I

テマコード (参考)

G 1 1 C 11/403

G 1 1 C 11/34

3 6 3 M

5 B 0 2 4

11/407

3 6 2 S

審査請求 未請求 請求項の数 4 O L (全 11 頁)

(21) 出願番号

特願平10-195530

(22) 出願日

平成10年7月10日 (1998.7.10)

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72) 発明者 堀畑 修一

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

(72) 発明者 澤田 誠二

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

(74) 代理人 100064746

弁理士 深見 久郎 (外 3 名)

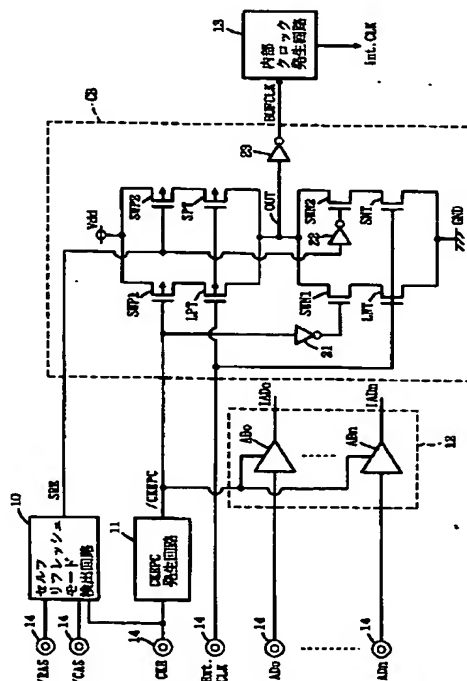
最終頁に続く

(54) 【発明の名称】 同期型半導体記憶装置

(57) 【要約】

【課題】 クロックバッファでの消費電流を低減することのできる同期型半導体記憶装置を提供する。

【解決手段】 クロックバッファCBは、サイズの大きいPMOSTランジスタLPTおよびNMOSTランジスタLNTで構成されるインバータと、サイズの小さいPMOSTランジスタSPTおよびNMOSTランジスタSNTで構成されるインバータを含む。パワーダウンモードで、サイズの大きいPMOSTランジスタLPTおよびNMOSTランジスタLNTで構成されるインバータは停止する。



【特許請求の範囲】

【請求項1】 外部信号にตอบสนองしてセルフリフレッシュイネーブル信号を発生するセルフリフレッシュモード検出回路と、

クロックイネーブル信号が活性であるとき外部信号にตอบสนองして内部信号を発生するよう動作し、前記クロックイネーブル信号が非活性であるとき停止する入力バッファと、

外部クロック信号にตอบสนองして内部クロック信号を発生するクロックバッファとを備え、

前記クロックバッファは、

前記クロックイネーブル信号が活性でありかつ前記セルフリフレッシュイネーブル信号が非活性であるとき第1の駆動能力で動作し、前記クロックイネーブル信号が非活性でありかつ前記セルフリフレッシュイネーブル信号が非活性であるとき第1の駆動能力よりも小さい第2の駆動能力で動作し、前記クロックイネーブル信号が非活性でありかつ前記セルフリフレッシュイネーブル信号が活性であるとき停止する、同期型半導体記憶装置。

【請求項2】 前記クロックバッファは、

前記クロックイネーブル信号が活性であるとき動作し、前記クロックイネーブル信号が非活性であるとき停止する第1のインバータと、

前記第1のインバータよりも小さい駆動能力を有し、前記第1のインバータと並列に接続され、前記セルフリフレッシュイネーブル信号が非活性であるとき動作し、前記セルフリフレッシュイネーブル信号が活性であるとき停止する第2のインバータとを含む、請求項1に記載の同期型半導体記憶装置。

【請求項3】 前記第1のインバータは、

電源ノードと出力ノードとの間に接続され、ゲートに前記外部クロック信号を受ける第1のPチャネルMOSトランジスタと、

前記電源ノードと前記出力ノードとの間に前記第1のPチャネルMOSトランジスタと直列に接続され、前記クロックイネーブル信号が活性であるときオンになり、前記クロックイネーブル信号が非活性であるときオフになる第1のスイッチトランジスタと、

前記出力ノードと接地ノードとの間に接続され、ゲートに前記外部クロック信号を受ける第1のNチャネルMOSトランジスタと、

前記出力ノードと前記接地ノードとの間に前記第1のNチャネルMOSトランジスタと直列に接続され、前記クロックイネーブル信号が活性であるときオンになり、前記クロックイネーブル信号が非活性であるときオフになる第2のスイッチトランジスタとを含む、

前記第2のインバータは、

前記第1のPチャネルMOSトランジスタよりも小さいサイズを有し、前記電源ノードと出力ノードとの間に接続され、ゲートに前記外部クロック信号を受ける第2の

PチャネルMOSトランジスタと、

前記電源ノードと前記出力ノードとの間に前記第2のPチャネルMOSトランジスタと直列に接続され、前記セルフリフレッシュイネーブル信号が非活性であるときオンになり、前記セルフリフレッシュイネーブル信号が活性であるときオフになる第3のスイッチトランジスタと、

前記第1のNチャネルMOSトランジスタよりも小さいサイズを有し、前記出力ノードと前記接地ノードとの間に接続され、ゲートに前記外部クロック信号を受ける第2のNチャネルMOSトランジスタと、

前記出力ノードと前記接地ノードとの間に前記第2のNチャネルMOSトランジスタと直列に接続され、前記セルフリフレッシュイネーブル信号が非活性であるときオンになり、前記セルフリフレッシュイネーブル信号が活性であるときオフになる第4のスイッチトランジスタとを含む、請求項2に記載の同期型半導体記憶装置。

【請求項4】 前記クロックバッファは、

電源ノードと接地ノードとの間に接続され、ゲートおよびドレインが互いに接続された第1のPチャネルMOSトランジスタと、

前記第1のPチャネルMOSトランジスタのドレインと前記接地ノードとの間に接続され、ゲートに基準電圧を受ける第1のNチャネルMOSトランジスタと、

前記電源ノードと出力ノードとの間に接続され、ゲートが前記第1のPチャネルMOSトランジスタのゲートに接続された第2のPチャネルMOSトランジスタと、

前記出力ノードと前記接地ノードとの間に接続され、ゲートに前記外部クロック信号を受ける第2のNチャネルMOSトランジスタと、

前記出力ノードと前記接地ノードとの間に前記第2のNチャネルMOSトランジスタと直列に接続され、前記クロックイネーブル信号が活性であるときオンになり、前記クロックイネーブル信号が非活性であるときオフになる第1のスイッチトランジスタと、

前記第2のNチャネルMOSトランジスタよりも小さいサイズを有し、前記出力ノードと前記接地ノードとの間に前記第2のNチャネルMOSトランジスタと並列に接続され、ゲートに前記外部クロック信号を受ける第3のNチャネルMOSトランジスタと、

前記出力ノードと前記接地ノードとの間に前記第3のNチャネルMOSトランジスタと直列に接続され、前記セルフリフレッシュイネーブル信号が非活性であるときオンになり、前記セルフリフレッシュイネーブル信号が活性であるときオフになる第2のスイッチトランジスタとを含む、請求項1に記載の同期型半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は同期型半導体記憶装置に関し、さらに詳しくは、通常モード、パワーダウ

ンモード、およびセルフリフレッシュモードを有する同期型半導体記憶装置に関する。

#### 【0002】

【従来の技術】携帯電話やモバイルPCなどの携帯情報端末の普及に伴い、半導体メモリに対する低消費電力化の要請が強くなってきている。その中でも、昨今需要の大きくなってきたシンクロナスDRAM（ダイナミックランダムアクセスメモリ）に対する低消費電力化は非常に重要である。

【0003】図7は、従来のシンクロナスDRAMの構成の一部を示すブロック図である。図7を参照して、このシンクロナスDRAMは、セルフリフレッシュモード検出回路10と、CKEPC発生回路11と、アドレスバッファ12と、クロックバッファ100と、内部クロック発生回路13と、外部信号を受ける入出力ピン14とを含む。

【0004】セルフリフレッシュモード検出回路10は、外部行アドレスストロブ信号/RAS、外部列アドレスストロブ信号/CAS、クロックイネーブル信号CKEにตอบสนองしてセルフリフレッシュイネーブル信号SREを発生する。CKEPC発生回路11は、クロックイネーブル信号CKEにตอบสนองして信号/CKEPCを発生する。アドレスバッファ12は、バッファAB0-ABnを含む。バッファAB0-ABnは、CKEPC発生回路11からの出力信号/CKEPCがLレベルのとき外部アドレス信号AD0-ADnをバッファリングして内部アドレス信号IAD0-IADnとして出力し、CKEPC発生回路11からの出力信号/CKEPCがHレベルのとき停止する。

【0005】クロックバッファ100は、電源ノードVddと出力ノードOUTとの間に直列に接続されたPチャネルMOSトランジスタ101、102と、出力ノードOUTと接地ノードGNDとの間に並列に接続されたNチャネルMOSトランジスタ103、104と、インバータ105とを含む。内部クロック発生回路13は、クロックバッファ信号BUFCLKにตอบสนองして内部クロック信号int. CLKを発生する。

【0006】次に、以上のように構成されたシンクロナスDRAMの動作について、(a)通常モード、(b)パワーダウンモード、および(c)セルフリフレッシュモードの場合について説明する。

#### 【0007】(a)通常モード

クロックイネーブル信号CKEがH（論理ハイ）レベルのとき、シンクロナスDRAMは通常モードとなる。

【0008】このとき、CKEPC発生回路11からの出力信号/CKEPCおよびセルフリフレッシュイネーブル信号SREはLレベルとなる。これによって、アドレスバッファ中のバッファAB0-ABnが活性化される。また、クロックバッファ100中のPチャネルMOSトランジスタ101はオンになり、NチャネルMOS

トランジスタ104はオフになる。これにより、クロックバッファ100は活性化され、PチャネルMOSトランジスタ102およびNチャネルMOSトランジスタ103によって構成されるインバータにより外部クロック信号Ext. CLKを反転して出力ノードOUTに出力し、さらにインバータ105によって反転してクロックバッファ信号BUFCLKとして出力する。このクロックバッファ信号BUFCLKを受けて、内部クロック発生回路13は内部クロック信号int. CLKを発生する。

#### 【0009】(b)パワーダウンモード

図8を参照して、クロックイネーブル信号CKEがL（論理ロー）レベルのとき、シンクロナスDRAMはパワーダウンモードとなる。

【0010】このとき、CKEPC発生回路11からの出力信号/CKEPCはHレベルとなり、アドレスバッファ12中のバッファAB0-ABnは停止する。この結果、アドレスバッファによる消費電流が低減される。一方、セルフリフレッシュイネーブル信号SREはLレベルとなり、クロックバッファ100は通常モードのときと同様の動作をする。

#### 【0011】(c)セルフリフレッシュモード

図9を参照して、クロックイネーブル信号CKE、行アドレスストロブ信号/RAS、および列アドレスストロブ信号/CASが同時にLレベルになると、シンクロナスDRAMはセルフリフレッシュモードとなる。

【0012】このとき、CKEPC発生回路11からの出力信号/CKEPCはHレベルとなり、アドレスバッファ12中のバッファAB0-ABnは停止する。また、セルフリフレッシュイネーブル信号SREはHレベルとなるため、クロックバッファ100中のPチャネルMOSトランジスタ101はオフになり、NチャネルMOSトランジスタ104はオンになる。これによりクロックバッファ100は停止する。この結果、アドレスバッファ12およびクロックバッファ100での消費電流が低減される。

【0013】以上のように、クロックバッファ100の動作/停止はセルフリフレッシュイネーブル信号SREによって制御される。

【0014】その理由は、クロックバッファの動作/停止をクロックイネーブル信号CKEによって制御した場合には、クロックイネーブル信号CKEがLレベルからHレベルに変化したときにクロックの復帰が間に合わないためである。

【0015】ちなみに、セルフリフレッシュモードにおいては、図9に示されるように、セルフリフレッシュモードが終了してから一定時間経過した後コマンド入力を行うため、クロックバッファ100の動作/停止をセルフリフレッシュイネーブル信号SREによって制御した場合には、上記のような問題はない。

## 【0016】

【発明が解決しようとする課題】クロックバッファ100は、セルフリフレッシュイネーブル信号SREに応じて動作/停止するため、パワーダウンモードにおいて通常モードと同様に動作する。このため、パワーダウンモードにおけるクロックバッファでの消費電流を低減することができない。

【0017】この発明は、以上のような問題を解決するためになされたもので、その目的は、クロックバッファでの消費電流を低減することのできる同期型半導体記憶装置を提供することである。

## 【0018】

【課題を解決するための手段】この発明の1つの局面に従った同期型半導体記憶装置は、セルフリフレッシュモード検出回路と、入力バッファと、クロックバッファとを備える。セルフリフレッシュモード検出回路は、外部信号に応じてセルフリフレッシュイネーブル信号を発生する。入力バッファは、クロックイネーブル信号が活性であるとき外部信号に応じて内部信号を発生するよう動作し、クロックイネーブル信号が非活性であるとき停止する。クロックバッファは、外部クロック信号に応じて内部クロック信号を発生する。さらにクロックバッファは、クロックイネーブル信号が活性でありかつセルフリフレッシュイネーブル信号が非活性であるとき第1の駆動能力で動作し、クロックイネーブル信号が非活性でありかつセルフリフレッシュイネーブル信号が非活性であるとき第1の駆動能力よりも小さい第2の駆動能力で動作し、クロックイネーブル信号が非活性でありかつセルフリフレッシュイネーブル信号が活性であるとき停止する。

【0019】上記同期型半導体記憶装置においては、クロックイネーブル信号が非活性でありかつセルフリフレッシュイネーブル信号が非活性であるとき、クロックバッファは第1の駆動能力よりも小さい第2の駆動能力で動作するため、クロックバッファによる消費電流が低減される。

【0020】好ましくは、上記クロックバッファは、第1のインバータと、第2のインバータとを含む。第1のインバータは、クロックイネーブル信号が活性であるとき動作し、クロックイネーブル信号が非活性であるとき停止する。第2のインバータは、第1のインバータよりも小さい駆動能力を有し、第1のインバータと並列に接続される。さらに、第2のインバータは、セルフリフレッシュイネーブル信号が非活性であるとき動作し、セルフリフレッシュイネーブル信号が活性であるとき停止する。

【0021】上記同期型半導体記憶装置においては、クロックイネーブル信号が非活性でありかつセルフリフレッシュイネーブル信号が非活性であるとき、第1のインバータは停止し、第2のインバータは動作する。したが

って、第1のインバータでの消費電流分だけクロックバッファによる消費電流が低減される。

【0022】好ましくは、上記第1のインバータは、第1のPチャネルMOSトランジスタと、第1のスイッチトランジスタと、第1のNチャネルMOSトランジスタと、第2のスイッチトランジスタとを含む。第1のPチャネルMOSトランジスタは、電源ノードと出力ノードとの間に接続され、ゲートに外部クロック信号を受ける。第1のスイッチトランジスタは、電源ノードと出力ノードとの間に第1のPチャネルMOSトランジスタと直列に接続され、クロックイネーブル信号が活性であるときオンになり、クロックイネーブル信号が非活性であるときオフになる。第1のNチャネルMOSトランジスタは、出力ノードと接地ノードとの間に接続され、ゲートに外部クロック信号を受ける。第2のスイッチトランジスタは、出力ノードと接地ノードとの間に第1のNチャネルMOSトランジスタと直列に接続され、クロックイネーブル信号が活性であるときオンになり、クロックイネーブル信号が非活性であるときオフになる。さらに上記第2のインバータは、第2のPチャネルMOSトランジスタと、第3のスイッチトランジスタと、第2のNチャネルMOSトランジスタと、第4のスイッチトランジスタとを含む。第2のPチャネルMOSトランジスタは、第1のPチャネルMOSトランジスタよりも小さいサイズを有し、電源ノードと出力ノードとの間に接続され、ゲートに外部クロック信号を受ける。第3のスイッチトランジスタは、電源ノードと出力ノードとの間に第2のPチャネルMOSトランジスタと直列に接続され、セルフリフレッシュイネーブル信号が非活性であるときオンになり、セルフリフレッシュイネーブル信号が活性であるときオフになる。第2のNチャネルMOSトランジスタは、第1のNチャネルMOSトランジスタよりも小さいサイズを有し、出力ノードと接地ノードとの間に接続され、ゲートに外部クロック信号を受ける。第4のスイッチトランジスタは、出力ノードと接地ノードとの間に第2のNチャネルMOSトランジスタと直列に接続され、セルフリフレッシュイネーブル信号が非活性であるときオンになり、セルフリフレッシュイネーブル信号が活性であるときオフになる。

【0023】上記同期型半導体記憶装置においては、クロックイネーブル信号が非活性でありかつセルフリフレッシュイネーブル信号が非活性であるとき、第1および第2のスイッチトランジスタはオフになるため、第1のインバータは停止する。したがって、第1のインバータでの消費電流分だけクロックバッファによる消費電流が低減される。

【0024】好ましくは、上記クロックバッファは、第1のPチャネルMOSトランジスタと、第1のNチャネルMOSトランジスタと、第2のPチャネルMOSトランジスタと、第1のスイッチトランジスタと、第3のN

チャネルMOSトランジスタと、第2のスイッチトランジスタとを含む。第1のPチャネルMOSトランジスタは、電源ノードと接地ノードとの間に接続され、ゲートおよびドレインが互いに接続される。第1のNチャネルMOSトランジスタは、第1のPチャネルMOSトランジスタのドレインと接地ノードとの間に接続され、ゲートに基準電圧を受ける。第2のPチャネルMOSトランジスタは、電源ノードと出力ノードとの間に接続され、ゲートが第1のPチャネルMOSトランジスタのゲートに接続される。第2のNチャネルMOSトランジスタは、出力ノードと接地ノードとの間に接続され、ゲートに外部クロック信号を受ける。第1のスイッチトランジスタは、出力ノードと接地ノードとの間に第2のNチャネルMOSトランジスタと直列に接続され、クロックイネーブル信号が活性であるときオンになり、クロックイネーブル信号が非活性であるときオフになる。第3のNチャネルMOSトランジスタは、第2のNチャネルMOSトランジスタよりも小さいサイズを有し、出力ノードと接地ノードとの間に第2のNチャネルMOSトランジスタと並列に接続され、ゲートに外部クロック信号を受ける。第2のスイッチトランジスタは、出力ノードと接地ノードとの間に第3のNチャネルMOSトランジスタと直列に接続され、セルフリフレッシュイネーブル信号が非活性であるときオンになり、セルフリフレッシュイネーブル信号が活性であるときオフになる。

【0025】上記同期型半導体記憶装置においては、クロックイネーブル信号が非活性でありかつセルフリフレッシュイネーブル信号が非活性であるとき、第1のスイッチトランジスタはオフになり、第2のスイッチトランジスタはオンになる。したがって、第2のNチャネルMOSトランジスタでの消費電流分だけクロックバッファによる消費電流が低減される。

【0026】

【発明の実施の形態】以下、この発明の実施の形態を図面を参照して詳しく説明する。なお、図中同一または相当部分には同一符号を付してその説明を繰返さない。

【0027】【実施の形態1】図1は、この発明の実施の形態1によるシンクロナスDRAMの構成の一部を示すブロック図である。図1を参照して、このシンクロナスDRAMは、セルフリフレッシュモード検出回路10と、CKEPC発生回路11と、アドレスバッファ12と、クロックバッファCBと、内部クロック発生回路13と、外部信号を受ける入出力ピン14とを含む。

【0028】セルフリフレッシュモード検出回路10は、外部行アドレスストロブ信号/RAS、外部列アドレスストロブ信号/CAS、クロックイネーブル信号CKEにตอบสนองしてセルフリフレッシュイネーブル信号SREを発生する。

【0029】CKEPC発生回路11は、クロックイネーブル信号CKEにตอบสนองして信号/CKEPCを発生す

る。

【0030】アドレスバッファ12は、バッファAB0-ABnを含む。バッファAB0-ABnは、CKEPC発生回路11からの信号/CKEPCがLレベルのとき外部アドレス信号AD0-ADnをバッファリングして内部アドレス信号IAD0-IADnとして出力し、CKEPC発生回路11からの出力信号/CKEPCがHレベルのとき停止する。なお、この内部アドレス信号IAD0-IADnは、行アドレスストロブ信号/RAS、列アドレス信号/CASにตอบสนองして行デコーダ（図示せず）または列デコーダ（図示せず）に供給される。

【0031】クロックバッファCBは、PチャネルMOSトランジスタSWP1、SWP2、LPT、SPTと、NチャネルMOSトランジスタSWN1、SWN2、LNT、SNTと、インバータ21-23とを含む。PチャネルMOSトランジスタSWP1は、電源ノードVddとPチャネルMOSトランジスタLPTのソースとの間に接続され、CKEPC発生回路11からの出力信号/CKEPCにตอบสนองしてオン/オフする。PチャネルMOSトランジスタLPTは、NチャネルMOSトランジスタSPTよりも大きいサイズを有し、PチャネルMOSトランジスタSWP1のドレインと出力ノードOUTとの間に接続され、ゲートに外部クロック信号Ext. CLKを受ける。PチャネルMOSトランジスタSWP2は、電源ノードVddとPチャネルMOSトランジスタSPTのソースとの間に接続され、セルフリフレッシュイネーブル信号SREにตอบสนองしてオン/オフする。PチャネルMOSトランジスタSPTは、PチャネルMOSトランジスタLPTよりも小さいサイズを有し、PチャネルMOSトランジスタSWP2のドレインと出力ノードOUTとの間に接続され、ゲートに外部クロック信号Ext. CLKを受ける。NチャネルMOSトランジスタSWN1は、出力ノードOUTとNチャネルMOSトランジスタLNTのドレインとの間に接続され、インバータ21からの出力信号にตอบสนองしてオン/オフする。NチャネルMOSトランジスタLNTは、NチャネルMOSトランジスタSNTよりも大きいサイズを有し、NチャネルMOSトランジスタSWN1のソースと接地ノードGNDとの間に接続され、ゲートに外部クロック信号Ext. CLKを受ける。NチャネルMOSトランジスタSWN2は、出力ノードOUTとNチャネルMOSトランジスタSNTのドレインとの間に接続され、インバータ22からの出力信号にตอบสนองしてオン/オフする。NチャネルMOSトランジスタSNTは、NチャネルMOSトランジスタLNTよりも小さいサイズを有し、NチャネルMOSトランジスタSWN2のソースと接地ノードGNDとの間に接続され、ゲートに外部クロック信号Ext. CLKを受ける。インバータ21は、CKEPC発生回路11からの出力信号/CKEPC

Cを反転する。インバータ22は、セルフリフレッシュイネーブル信号SREを反転する。インバータ23は、出力ノードOUTの電圧を反転する。インバータ23からの出力がクロックバッファ信号BUFCLKとなる。

【0032】内部クロック発生回路13は、クロックバッファ信号BUFCLKに応答して内部クロック信号int. CLKを発生する。

【0033】次に、以上のように構成されたシンクロナスDRAMの動作について、(a)通常モード、(b)パワーダウンモード、および(c)セルフリフレッシュモードの場合について説明する。

【0034】(a)通常モード

図2を参照して、クロックイネーブル信号CKEがHレベルのとき、シンクロナスDRAMは通常モードとなる。

【0035】このとき、CKEPC発生回路11からの出力信号/CKEPCはLレベルとなる。これによって、アドレスバッファ12中のバッファAB0-ABnが活性化される。また、PチャネルMOSTランジスタSWP1およびNチャネルMOSTランジスタSWN1はオンになる。したがって、PチャネルMOSTランジスタLPTおよびNチャネルMOSTランジスタLNTとで構成されるインバータによって外部クロック信号Ext. CLKが反転されて出力ノードOUTに出力される。

【0036】また、セルフリフレッシュイネーブル信号SREはLレベルとなる。これによって、PチャネルMOSTランジスタSWP2およびNチャネルMOSTランジスタSWN2はオンになる。したがって、PチャネルMOSTランジスタSPTおよびNチャネルMOSTランジスタSNTとで構成されるインバータによっても外部クロック信号Ext. CLKが反転されて出力ノードOUTに出力される。

【0037】このように、通常モードでは、PチャネルMOSTランジスタLPT、NチャネルMOSTランジスタLNTで構成されるインバータとPチャネルMOSTランジスタSPT、NチャネルMOSTランジスタSNTで構成されるインバータとによって外部クロック信号Ext. CLKが反転されて出力ノードOUTに出力され、これがインバータ23によって反転されてクロックバッファ信号BUFCLKとして出力される。このクロックバッファ信号BUFCLKに응答して内部クロック発生回路13によって内部クロック信号int. CLKが生成される。

【0038】(b)パワーダウンモード

図3を参照して、クロックイネーブル信号CKEがLレベルのとき、シンクロナスDRAMはパワーダウンモードとなる。

【0039】このとき、CKEPC発生回路11からの出力信号/CKEPCはHレベルとなり、アドレスバッ

ファ12中のバッファAB0-ABnは停止する。また、PチャネルMOSTランジスタSWP1およびNチャネルMOSTランジスタSWN1はオフになるため、PチャネルMOSTランジスタLPT、NチャネルMOSTランジスタLNTで構成されるインバータは停止する。

【0040】一方、セルフリフレッシュイネーブル信号SREはLレベルであるため、PチャネルMOSTランジスタSWP2およびNチャネルMOSTランジスタSWN2はオンになる。したがって、PチャネルMOSTランジスタSPT、NチャネルMOSTランジスタSNTで構成されるインバータによって外部クロック信号Ext. CLKが反転されて出力ノードOUTに出力され、これがインバータ23によって反転されてクロックバッファ信号BUFCLKとして出力される。

【0041】内部クロック発生回路13は、信号/CKEPCがHレベルの間は内部クロック信号int. CLKの発生を停止する。

【0042】クロックイネーブル信号CKEがLレベルからHレベルになるとパワーダウンモードが終了する。これに伴って信号/CKEPCがHレベルからLレベルとなり、シンクロナスDRAMは通常モードとなる。

【0043】このように、パワーダウンモードでは、サイズの大きい、すなわち消費電流の多いPチャネルMOSTランジスタLPTおよびNチャネルMOSTランジスタLNTで構成されるインバータは停止し、サイズの小さい、すなわち消費電流の少ないPチャネルMOSTランジスタSPTおよびNチャネルMOSTランジスタSNTで構成されるインバータが動作する。したがって、PチャネルMOSTランジスタLPT、NチャネルMOSTランジスタLNTによる消費電流分クロックバッファCBでの消費電流が低減される。

【0044】(c)セルフリフレッシュモード

図4を参照して、クロックイネーブル信号CKE、行アドレスストロブ信号/RAS、および列アドレスストロブ信号/CASが同時にLレベルになると、シンクロナスDRAMはセルフリフレッシュモードとなる。

【0045】このとき、CKEPC発生回路11からの出力信号/CKEPCはHレベルとなり、アドレスバッファ12中のバッファAB0-ABnは停止する。また、PチャネルMOSTランジスタSWP1およびNチャネルMOSTランジスタSWN1はオフになるため、PチャネルMOSTランジスタLPT、NチャネルMOSTランジスタLNTで構成されるインバータは停止する。

【0046】さらに、セルフリフレッシュイネーブル信号SREはHレベルとなるため、PチャネルMOSTランジスタSWP2およびNチャネルMOSTランジスタSWN2はオフになる。これにより、PチャネルMOSTランジスタSPT、NチャネルMOSTランジスタS



NTで構成されるインバータも停止する。

【0047】したがって、クロックバッファCBは完全に停止し、クロックバッファ信号BUFCLKは出力されない。また、内部クロック発生回路13は内部クロック信号int. CLKの発生を停止する。

【0048】クロックイネーブル信号CKEがLレベルからHレベルになるとセルフリフレッシュモードが終了する。これに伴って信号/CKEPCおよびセルフリフレッシュ信号SREがHレベルからLレベルとなり通常モードとなる。但し、リフレッシュ中にクロックイネーブル信号CKEがHレベルになった場合を考慮して、CKEがHレベルとなってから所定時間tSRC経過後さらに時間tRCが経過するまで次のコマンドは入力できない。ここで、時間tRCは、メモリ1行をリフレッシュするのに必要な最小時間である。

【0049】このように、セルフリフレッシュモードでは、アドレスバッファ12およびクロックバッファCBは停止する。したがって、アドレスバッファ12およびクロックバッファCBでの消費電流が低減される。

【0050】以上のように、この実施の形態1によれば、サイズの大きい、すなわち消費電流の多いPチャネルMOSTランジスタLPTおよびNチャネルMOSTランジスタLNTと、サイズの小さい、すなわち消費電流の少ないPチャネルMOSTランジスタSPTおよびNチャネルMOSTランジスタSNTとを設け、パワーダウンモードでは、PチャネルMOSTランジスタLPTおよびNチャネルMOSTランジスタLNTで構成されるインバータは停止し、PチャネルMOSTランジスタSPTおよびNチャネルMOSTランジスタSNTで構成されるインバータが動作する。この結果、パワーダウンモードにおいて、PチャネルMOSTランジスタLPT、NチャネルMOSTランジスタLNTによる消費電流分クロックバッファCBでの消費電流が低減される。

【0051】なお、この実施の形態1に示されるアドレスバッファ12は、CKEPC発生回路11からの出力信号/CKEPCによって動作/停止が制御される入力バッファの一例を示したにすぎない。したがって、シンクロナスDRAMに含まれるクロックバッファ以外の入力バッファについても、アドレスバッファ12と同様にCKEPC発生回路11からの出力信号/CKEPCによって動作/停止が制御される。

【0052】〔実施の形態2〕この発明の実施の形態2によるシンクロナスDRAMは、図1に示されるクロックバッファCBに代えて、図5に示されるクロックバッファを備える。

【0053】図5を参照して、このクロックバッファは、PチャネルMOSTランジスタ30、31と、NチャネルMOSTランジスタ32、SWN3、SWN4、LNT1、SNT1と、インバータ33-35とを備え

る。

【0054】PチャネルMOSTランジスタ30は、電源ノードVddとNチャネルMOSTランジスタ32のドレインとの間に接続され、ゲートおよびドレインが互いに接続される。NチャネルMOSTランジスタ32は、PチャネルMOSTランジスタ30のドレインと接地ノードGNDとの間に接続され、ゲートに基準電圧Vrefを受ける。PチャネルMOSTランジスタ31は、電源ノードVddと出力ノードOUTとの間に接続され、ゲートがPチャネルMOSTランジスタ30のゲートに接続される。インバータ33は、図1に示されるCKEPC発生回路11からの出力信号/CKEPCを反転する。NチャネルMOSTランジスタSWN3は、出力ノードOUTとNチャネルMOSTランジスタLNT1のドレインとの間に接続され、インバータ33からの出力信号に応答してオン/オフする。NチャネルMOSTランジスタLNT1は、NチャネルMOSTランジスタSNT1よりも大きいサイズを有し、NチャネルMOSTランジスタSWN3のソースと接地ノードGNDとの間に接続され、ゲートに外部クロック信号Ext. CLKを受ける。インバータ34は、図1に示されたセルフリフレッシュモード検出回路10からのセルフリフレッシュイネーブル信号SREを反転する。NチャネルMOSTランジスタSWN4は、出力ノードOUTとNチャネルMOSTランジスタSNT1のドレインとの間に接続され、インバータ34からの出力信号に応答してオン/オフする。NチャネルMOSTランジスタSNT1は、NチャネルMOSTランジスタLNT1よりも小さいサイズを有し、NチャネルMOSTランジスタSWN4のソースと接地ノードGNDとの間に接続され、ゲートに外部クロック信号Ext. CLKを受ける。インバータ35は、出力ノードOUTの電圧を反転してクロックバッファ信号BUFCLKとして出力する。

【0055】次に、以上のように構成されたクロックバッファの動作について、(a)通常モード、(b)パワーダウンモード、および(c)セルフリフレッシュモードの場合について説明する。

【0056】(a)通常モード

実施の形態1と同様に、クロックイネーブル信号CKEがHレベルのとき、シンクロナスDRAMは通常モードとなる。

【0057】このとき、CKEPC発生回路11からの出力信号/CKEPCおよびセルフリフレッシュイネーブル信号SREはLレベルとなり、NチャネルMOSTランジスタSWN3およびSWN4はオンになる。

【0058】この結果、PチャネルMOSTランジスタ30、31、NチャネルMOSTランジスタ32、LNT1、SNT1とでカレントミラー回路が構成される。よって、出力ノードOUTは、図6に示されるように、外部クロック信号Ext. CLKが基準電圧Vrefよ

りも低いときはHレベルとなり、高いときはLレベルとなる。この出力ノードOUTの値がインバータ35で反転されてクロックバッファ信号BUFCCLKとなる。さらに、実施の形態1と同様に、クロックバッファ信号BUFCCLKにตอบสนองして内部クロック発生回路13によって内部クロック信号int. CLKが生成される。

【0059】このように、通常モードでは、PチャネルMOSトランジスタ30、31、NチャネルMOSトランジスタ32、LNT1、SNT1とで構成されるカレントミラー回路によって外部クロック信号Ext. CLKにตอบสนองしてクロックバッファ信号BUFCCLKが出力される。

【0060】(b) パワーダウンモード  
実施の形態1と同様に、クロックイネーブル信号CKEがLレベルのとき、シンクロナスDRAMはパワーダウンモードとなる。

【0061】このとき、CKEPC発生回路11からの出力信号/CKEPCはHレベルとなり、NチャネルMOSトランジスタSWN3はオフになる。

【0062】一方、セルフリフレッシュイネーブル信号SREはLレベルであるため、NチャネルMOSトランジスタSWN4はオンになる。

【0063】この結果、PチャネルMOSトランジスタ30、31、NチャネルMOSトランジスタ32、SNT1とでカレントミラー回路が構成される。よって、上記通常モードと同様に、出力ノードOUTは、外部クロック信号Ext. CLKが基準電圧Vrefよりも低いときはHレベルとなり、高いときはLレベルとなる。この出力ノードOUTの値がインバータ35で反転されてクロックバッファ信号BUFCCLKとなる。

【0064】また、実施の形態1と同様に、内部クロック発生回路13は、信号/CKEPCがHレベルの間は内部クロック信号int. CLKの発生を停止する。

【0065】クロックイネーブル信号CKEがLレベルからHレベルになるとパワーダウンモードが終了する。これに伴って信号/CKEPCがHレベルからLレベルとなり、シンクロナスDRAMは通常モードとなる。

【0066】このように、パワーダウンモードでは、PチャネルMOSトランジスタ30、31、NチャネルMOSトランジスタ32、SNT1とで構成されるカレントミラー回路によって外部クロック信号Ext. CLKにตอบสนองしてクロックバッファ信号BUFCCLKが出力される。したがって、サイズの大きい、すなわち消費電流の多いNチャネルMOSトランジスタLNT1による消費電流の分クロックバッファでの消費電流が低減される。

【0067】(c) セルフリフレッシュモード  
実施の形態1と同様に、クロックイネーブル信号CKE、行アドレスストロブ信号/RAS、および列アドレスストロブ信号/CASが同時にLレベルになる

と、シンクロナスDRAMはセルフリフレッシュモードとなる。

【0068】このとき、CKEPC発生回路11からの出力信号/CKEPCはHレベルとなり、NチャネルMOSトランジスタSWN3はオフになる。

【0069】さらに、セルフリフレッシュイネーブル信号SREはHレベルとなるため、NチャネルMOSトランジスタSWN4はオフになる。

【0070】したがって、クロックバッファは完全に停止し、クロックバッファ信号BUFCCLKは出力されない。また、内部クロック発生回路13は内部クロック信号int. CLKの発生を停止する。

【0071】実施の形態1と同様に、クロックイネーブル信号CKEがLレベルからHレベルになるとセルフリフレッシュモードが終了する。

【0072】このように、セルフリフレッシュモードでは、クロックバッファは停止する。したがって、クロックバッファでの消費電流が低減される。

【0073】以上のように、この実施の形態2によれば、サイズの大きい、すなわち消費電流の多いNチャネルMOSトランジスタLNT1と、サイズの小さい、すなわち消費電流の少ないNチャネルMOSトランジスタSNT1とを設け、パワーダウンモードでは、NチャネルMOSトランジスタLNT1は停止する。この結果、パワーダウンモードにおいて、NチャネルMOSトランジスタLNT1による消費電流分クロックバッファでの消費電流が低減される。

【0074】今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

【0075】

【発明の効果】この発明の1つの局面に従った同期型半導体記憶装置は、クロックイネーブル信号が非活性でありかつセルフリフレッシュイネーブル信号が非活性であるとき第1の駆動能力よりも小さい第2の駆動能力で動作するクロックバッファを設けたため、クロックバッファによる消費電流が低減される。

【0076】また、クロックバッファは、クロックイネーブル信号が活性であるとき動作し、クロックイネーブル信号が非活性であるとき停止する第1のインバータと、第1のインバータよりも小さい駆動能力を有し、セルフリフレッシュイネーブル信号が非活性であるとき動作し、セルフリフレッシュイネーブル信号が活性であるとき停止する第2のインバータとを含むため、クロックイネーブル信号が非活性でありかつセルフリフレッシュイネーブル信号が非活性であるとき、第1のインバータでの消費電流分だけクロックバッファによる消費電流が

低減される。

【0077】また、第1のインバータは、第1のPチャネルMOSトランジスタと、第1のNチャネルMOSトランジスタと、第1および第2のスイッチトランジスタとを含み、第2のインバータは、第1のPチャネルMOSトランジスタよりも小さいサイズを有する第2のPチャネルMOSトランジスタと、第1のNチャネルMOSトランジスタよりも小さいサイズを有する第2のNチャネルMOSトランジスタと、第3および第4のスイッチトランジスタとを含むため、クロックイネーブル信号が非活性でありかつセルフリフレッシュイネーブル信号が非活性であるとき、第1のPチャネルMOSトランジスタおよび第1のNチャネルMOSトランジスタでの消費電流分だけクロックバッファによる消費電流が低減される。また、クロックバッファは、第1および第2のPチャネルMOSトランジスタと、第1および第2のNチャネルMOSトランジスタと、第2のNチャネルMOSトランジスタよりも小さいサイズを有する第3のNチャネルMOSトランジスタと、第1および第2のスイッチトランジスタとを含むため、クロックイネーブル信号が非活性でありかつセルフリフレッシュイネーブル信号が非活性であるとき、第2のNチャネルMOSトランジスタでの消費電流分だけクロックバッファによる消費電流が低減される。

#### 【図面の簡単な説明】

【図1】 この発明の実施の形態1によるシンクロナスDRAMの構成の一部を示すブロック図である。

【図2】 図1に示されたシンクロナスDRAMの通常モードでの動作を説明するためのタイミングチャートである。

【図3】 図1に示されたシンクロナスDRAMのパワーダウンモードでの動作を説明するためのタイミングチャートである。

【図4】 図1に示されたシンクロナスDRAMのセルフリフレッシュモードでの動作を説明するためのタイミングチャートである。

【図5】 この発明の実施の形態2によるクロックバッファの構成を示すブロック図である。

【図6】 図5に示されたクロックバッファの動作を説明するためのタイミングチャートである。

【図7】 従来のシンクロナスDRAMの構成の一部を示すブロック図である。

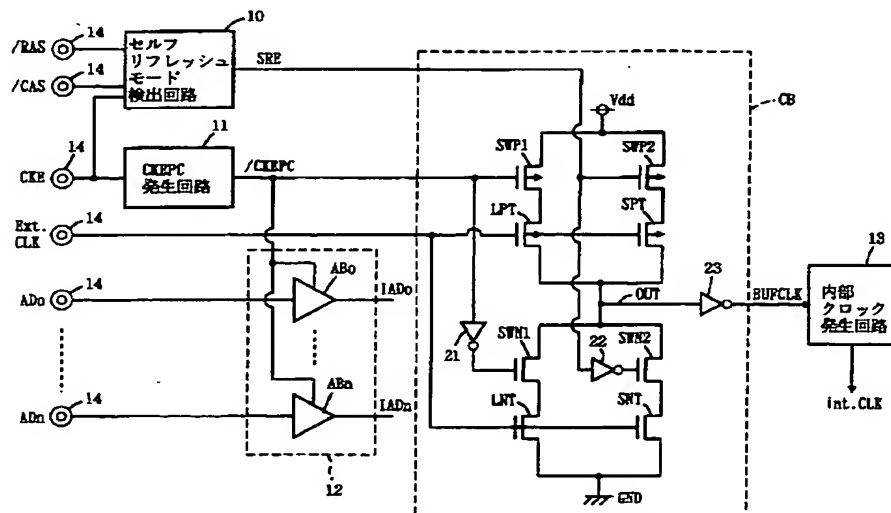
【図8】 図7に示されたシンクロナスDRAMのパワーダウンモードでの動作を説明するためのタイミングチャートである。

【図9】 図7に示されたシンクロナスDRAMのセルフリフレッシュモードでの動作を説明するためのタイミングチャートである。

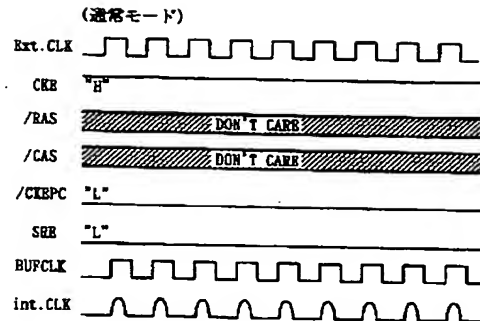
#### 【符号の説明】

10 セルフリフレッシュモード検出回路、12 アドレスバッファ、30, 31, SWP1, SWP2, LPT, SPT PチャネルMOSトランジスタ、32, SWN1-SWN4, LNT, SNT, LNT1, SNT1 NチャネルMOSトランジスタ、CB クロックバッファ、V<sub>dd</sub> 電源ノード、GND接地ノード、OUT 出力ノード、V<sub>ref</sub> 基準電圧、CKE クロックイネーブル信号、SRE セルフリフレッシュイネーブル信号、Ext. CLK 外部クロック信号、int. CLK 内部クロック信号。

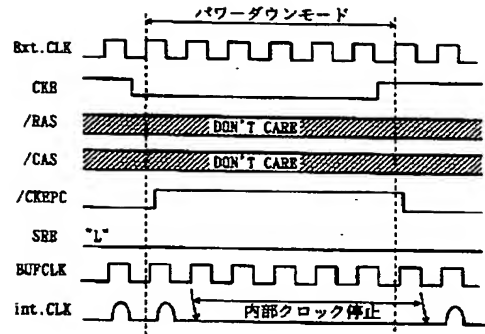
【図1】



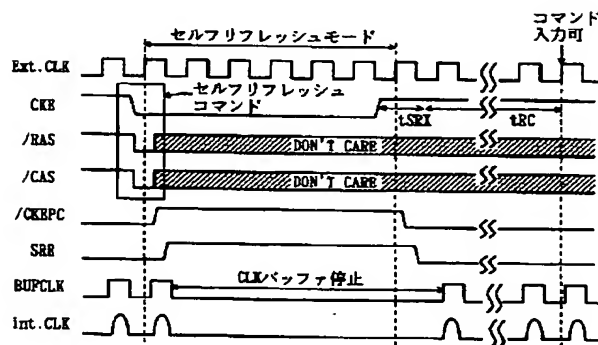
【図2】



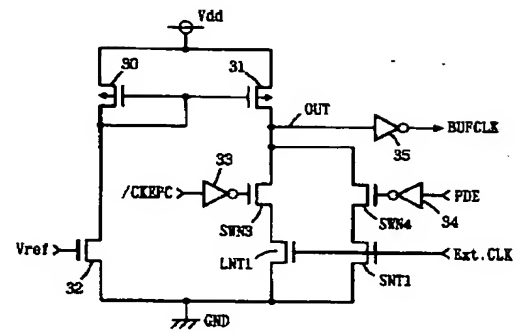
【図3】



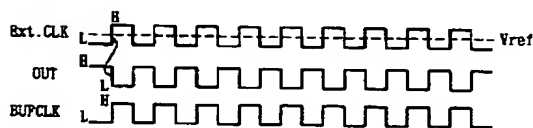
【図4】



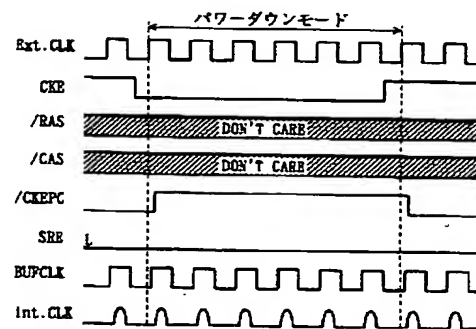
【図5】



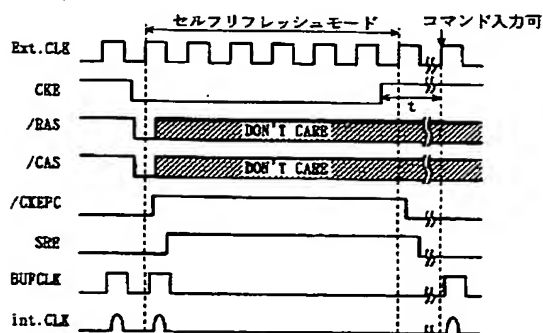
【図6】



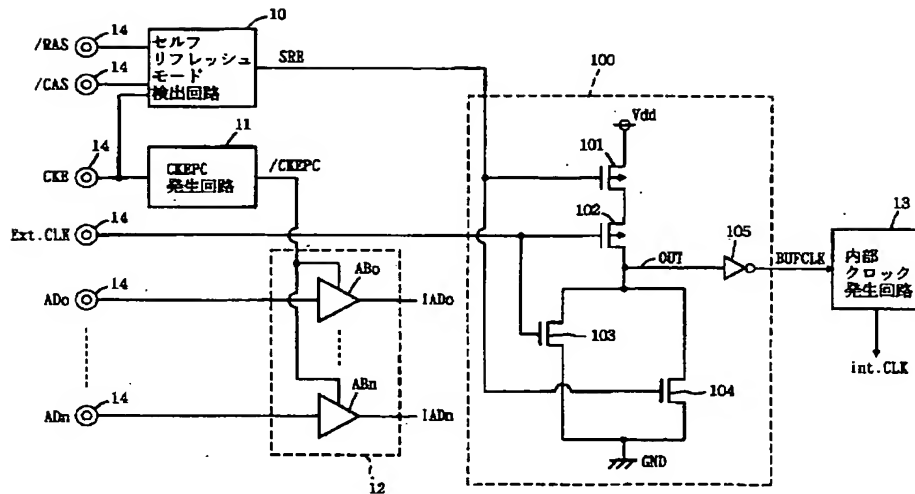
【図8】



【図9】



【図7】



フロントページの続き

(72)発明者 福田 達哉  
東京都千代田区丸の内二丁目2番3号 三  
菱電機株式会社内

Fターム(参考) 5B024 AA01 BA29 CA07 DA18